

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

010661419

WPI Acc No: 96-158373/199616

XRAM Acc No: C96-049871

XRPX Acc No: N96-132951

**Active matrix-type display device with reduced static destruction -  
comprises active matrix substrate having switching element at each  
intersection of two or more intersecting lines**

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 96027597	B2	19960321	JP 86230664	A	19860929	G09F-009/30	199616 B
JP 63085586	A	19880416	JP 86230664	A	19860929		199616

Priority Applications (No Type Date): JP 86230664 A 19860929

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 96027597	B2		3	Based on		JP 63085586

Abstract (Basic): JP 96027597 B

Active matrix-type display device drives a display cell using an active matrix substrate which has a switching element set up at each intersection position of two or more intersecting lines. A short-circuit line is formed at the periphery of the substrate, which is connected to a terminal via an impedance element(s).

USE - Used as a display device.

ADVANTAGE - Reduces static destruction of switching element and is reliable.

Dwg.0/8

Title Terms: ACTIVE; MATRIX; TYPE; DISPLAY; DEVICE; REDUCE; STATIC; DESTROY  
; COMPRISE; ACTIVE; MATRIX; SUBSTRATE; SWITCH; ELEMENT; INTERSECT;  
TWO;MORE; INTERSECT; LINE

Index Terms/Additional Words: LCD

Derwent Class: L03; P81; P85

International Patent Class (Main): G09F-009/30

International Patent Class (Additional): G02F-001/133; G02F-001/136;  
G09F-009/00

File Segment: CPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02468686

ACTIVE MATRIX TYPE DISPLAY DEVICE

PUB. NO.: 63-085586 [JP 63085586 A]

PUBLISHED: April 16, 1988 (19880416)

INVENTOR(s): SUZUKI KOJI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 61-230664 [JP 86230664]

FILED: September 29, 1986 (19860929)

INTL CLASS: [4] G09F-009/30; G02F-001/133; G02F-001/133; G09F-009/00;  
G09G-003/36

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --  
Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-85586

⑫ Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	⑬ 公開 昭和63年(1988)4月16日
G 09 F 9/30	3 3 8	P-6866-5C	
G 02 F 1/133	3 2 7	8205-2H	
	3 3 2	7370-2H	
G 09 F 9/00	3 0 9	6866-5C	
G 09 G 3/36		8621-5C	審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 アクティブマトリクス型表示装置

⑮ 特 願 昭61-230664

⑯ 出 願 昭61(1986)9月29日

⑰ 発 明 者 鈴木 幸 治 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑱ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 細 書

## 1. 発明の名称

アクティブマトリクス型表示装置

## 2. 特許請求の範囲

(1) 複数本の行線とこれと交差する複数本の列線、およびこれら行線と列線の各交点位置に設けられたスイッチング素子とを有するアクティブマトリクス基板により表示セルの駆動を行う表示装置において、前記アクティブマトリクス基板の外周部に短絡線を有し、前記行線および列線はその端部がインピーダンス素子を介して前記短絡線に接続されていることを特徴とするアクティブマトリクス型表示装置。

(2) 前記表示セルは液晶セルである特許請求の範囲第1項記載のアクティブマトリクス型表示装置。

(3) 前記インピーダンス素子は、前記行線若しくは列線を構成する配線材料層または前記スイッチング素子を構成する半導体膜のいずれかにより形成された抵抗体である特許請求の範囲第1項

記載のアクティブマトリクス型表示装置。

(4) 前記インピーダンス素子はダイオードである特許請求の範囲第1項記載のアクティブマトリクス型表示装置。

## 3. 発明の詳細な説明

## 〔発明の目的〕

(産業上の利用分野)

本発明は、静電気対策を施したアクティブマトリクス型表示装置に関する。

(従来の技術)

近年、平面型表示装置の大容量化、大面積化が著しく進んでいる。その方式は、液晶を用いたもの、エレクトロルミネセンスを用いたもの、プラズマを用いたもの等、種々である。大容量の平面型表示装置は、複数の行線とこれと交差する複数の列線、およびこれらの交点位置にスイッチング素子を設けたアクティブマトリクス基板を用いたものが一般的である。

第1図は従来より用いられているアクティブマトリクス型表示装置の構成を概略的に示す。A、

## 特開昭63-85586 (2)

$A_1, \dots$  が行線であり、 $S_1, S_2, \dots$  が列線であって、これらの各交点位置にスイッチング素子  $C_{11}, C_{12}, \dots$  が設けられている。スイッチング素子が行線と列線により選択されて各画素位置の表示セルの駆動が行われ、所望の画像表示が実現される。

第8図はこの様なアクティブマトリクス型表示装置の一例である液晶素子表示装置について、スイッチング素子として薄膜トランジスタ (TFT) を用いた場合の一面素部分の等価回路を示している。31が薄膜トランジスタ、32が液晶表示セルである。薄膜トランジスタ31のゲートは行線Aに接続され、ドレインは列線Sに接続されており、行線Aで選ばれたタイミングで列線Sの画像信号が薄膜トランジスタ31を通過してそのソースに接続された表示電極に伝達され、これにより液晶表示セル32が駆動されるようになっている。

ところで、この様なアクティブマトリクス基板に用いられる薄膜トランジスタ等のスイッチング素子は、一般に静電気に弱く、製造、組立て工程中

に静電気により破壊される虞れが大きい。このため従来は、第7図に示すように基板外周に短絡線GLを巡らして、行線Aおよび列線Sをこの短絡線GLに全て短絡した状態で製造、組立てを行うのが一般的であった。そして組立てが終了した後、最終的には破壊で示す切断線  $E_1 \sim E_2$  で基板を切断して各行線Aおよび列線Sを分離して、外部回路との接続を行う。

この様な方法により、スイッチング素子の静電気破壊を大幅に減少できるが、皆無にすることはできなかった。その理由は、切断線  $E_1 \sim E_2$  に沿って基板を切断した後、周辺駆動回路とこの表示装置基板を接続する際の工程での静電気による破壊があり、またダイヤモンド・ブレードなどを用いた基板切断の際には大量の静電気が発生し、これが破壊の原因になるからである。

(発明が解決しようとする問題点)

以上のように従来のアクティブマトリクス表示装置での静電気対策は、静電気対策用の短絡線を切断する際またはその後の静電気に対して不十分

であった。

本発明は、この様な問題を解決したアクティブマトリクス型表示装置を提供することを目的とする。

(発明の構成)

(問題点を解決するための手段)

本発明にかかるアクティブマトリクス型表示装置は、アクティブマトリクス基板外周部に設ける静電気対策用の短絡線を、組立て終了後もそのまま残しておく。この場合、短絡線がアクティブマトリクス基板の通常動作の妨げにならないように、行線および列線と短絡線の間にはインピーダンス素子を介在させる。

(作用)

上記のような構成とすれば、インピーダンス素子を適当に設計することにより、組立て中の静電気によるスイッチング素子の破壊を防止できることは勿論、組立て終了後もアクティブマトリクス基板の通常動作を妨げることなく、静電気によるスイッチング素子の破壊を防止することができ

る。

(実施例)

以下、本発明の実施例を説明する。

第1図は一実施例のアクティブマトリクス基板を示す。複数本の行線A ( $A_1, A_2, \dots$ ) と複数本の列線S ( $S_1, S_2, \dots$ ) が交差配設され、その各交点位置にスイッチング素子C ( $C_{11}, C_{12}, \dots$ ) が設けられることは、従来と同じである。スイッチング素子Cは例えば薄膜トランジスタである。このアクティブマトリクス基板の外周には短絡線GLが配設される。この短絡線GLと各行線Aおよび列線Sの間は低抵抗体rを介して接続されている。短絡線GLは製造、組立て後もそのまま残される。基板の組立て終了後は、破壊で示す切断線E ( $E_1, E_2, \dots$ ) で基板が切断される。このように構成されたアクティブマトリクス基板を用いて、これと対向基板の間に例えば液晶層を挟むことにより、液晶表示装置が得られる。この場合、アクティブマトリクス基板側には、各スイッチング素子の端子に接続さ

## 特開昭63-85586 (3)

れる画素電極が配設され、対向基板には全面に画素電極に対向する電極が形成されたものを用いる。

第2図は、第1図の構成を便かに変更した他の実施例のアクティブマトリクス基板である。第2図は、行線Aおよび列線Sの給電端を交互に左右、上下に交互に分けた場合であり、抵抗体rは給電端側にのみ設けている。それ以外は第1図と異ならない。

第3図は、第1図或いは第2図における、行線A側の抵抗体rの具体的な構成例である。ここでは、行線Aと同じ配線材料即ちクロム膜を用いてジグザグパターンによる抵抗体rを構成している。抵抗体rの抵抗値は約100kΩであり、一本の行線Aの抵抗値20kΩの約5倍とした。

第4図は列線S側の抵抗体rの構成例である。列線Sの端部に同じ配線材料による電極13を形成し、短絡線GLにも同様に同じ配線材料による電極12を形成して、これら電極12、13間にリンをドーブした $\alpha$ -Si膜11を配設して抵抗体rを構成している。この抵抗体の抵抗値は約

を形成し、これと同時にダイオードの電極22を形成する。これら電極の材料は例えばCr膜やTi、Ta膜等である。この上にはゲート絶縁膜としてCVD酸化膜23が形成されるが、そのダイオード部分には孔を開けておく。そしてこの上にi型 $\alpha$ -Si膜24(241、242)、n型 $\alpha$ -Si膜25(251、252、…)、電極配線26(261、262、263)を形成して、薄膜トランジスタと共にn1nダイオード対が得られる。電極配線26は例えばA2であり、同じA2膜により薄膜トランジスタのドレイン、ソース電極、ダイオードのカソード電極および列線Sが形成される。

このようにインピーダンス素子としてダイオードを用いれば、外部駆動回路からの信号の短絡線GLへのリークを少なくし、しかも静電気に対しては十分な保護機能を発揮することができる。またダイオードは、薄膜トランジスタの製造工程内で同時に形成することができ、抵抗体を用いた場合と同様、何等製造工程を複雑にすることはない。

10MΩで、スイッチング素子として形成した薄膜トランジスタのゲート・ドレイン間の抵抗10<sup>12</sup>Ωに比べて十分に小さいものとなっている。

以上のような構成により、通常の動作を誤ることなく、また外部駆動回路の消費電力の増大を伴うことなく、静電気による薄膜トランジスタの破壊を確実に防止することができた。しかも、抵抗体材料として配線材料およびスイッチング素子用 $\alpha$ -Si膜等を用いて、何等製造工程を複雑にすることなく、抵抗体を形成することができる。

第5図は他の実施例のアクティブマトリクス基板を示す。第2図と異なる点は、行線および列線Sと短絡線GLの間に、抵抗体rに代ってダイオード対Dを設けていることである。この様なダイオード対Dは、スイッチング素子として $\alpha$ -Si膜を用いた薄膜トランジスタを形成する場合、その製造工程内で簡単に形成することができる。

第6図はその具体的な構成例である。即ちガラス基板21に行線Aと一体的なゲート電極22、

本発明は上記実施例に限られるものではなく、その趣旨を逸脱しない範囲で種々変形して実施することができる。

## 〔発明の効果〕

以上述べたように本発明によれば、短絡線を、これと行線および列線の間にインピーダンス素子を接続してアクティブマトリクス基板絶立後も残しておくことにより、通常動作に影響を与えることなく、静電気対策を確実なものとすることができる。しかも、インピーダンス素子を設けることはアクティブマトリクス基板の製造工程を何等複雑にすることなく実現できる。

## 4. 図面の簡単な説明

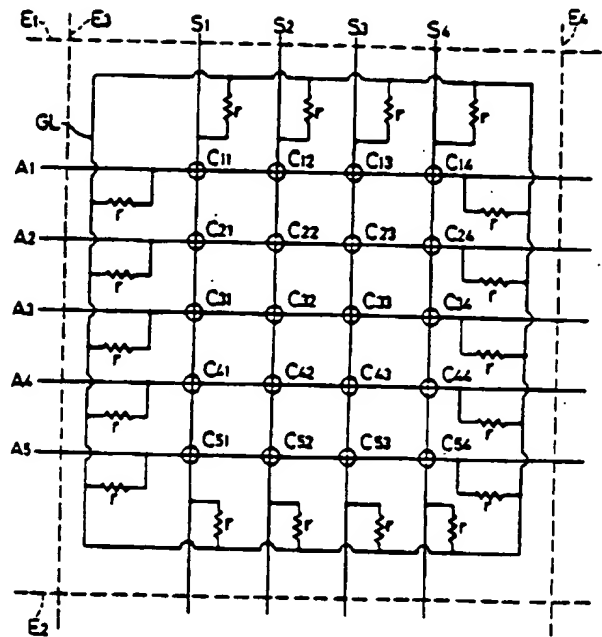
第1図は本発明の一実施例におけるアクティブマトリクス基板の構成を示す図、第2図は他の実施例におけるアクティブマトリクス基板の構成を示す図、第3図は第1図および第2図の行線側の抵抗体の構成を示す図、第4図は同じく列線側の抵抗体の構成を示す図、第5図は更に他の実施例のアクティブマトリクス基板の構成を示す図、第

## 特開昭63-85586 (4)

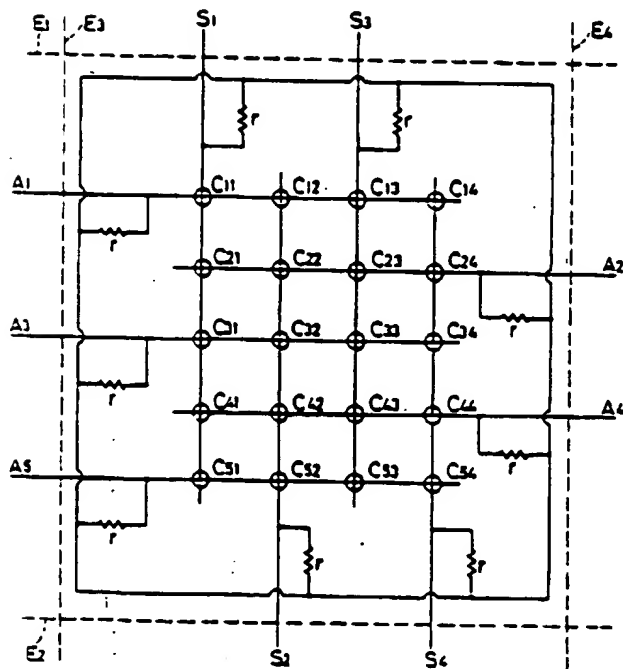
6 図はそのダイオード対の構成を示す図、第 7 図は従来のアクティブマトリクス基板の構成を示す図、第 8 図はアクティブマトリクス基板を用いた液晶表示装置の一面素子の等価回路図である。

A ( $A_1, A_2, \dots$ ) …行線、S ( $S_1, S_2, \dots$ ) …列線、C ( $C_{11}, C_{12}, \dots$ ) …スイッチング素子、GL…短絡線、 $r$ …抵抗体（インピーダンス素子）、E ( $E_1, E_2, \dots$ ) …切断線、11…a-Si膜、D…ダイオード対（インピーダンス素子）、21…ガラス基板、22…ゲート電極、22'…アノード電極、23-CVD酸化膜、24<sub>1</sub>、24<sub>2</sub>…1型a-Si膜、25<sub>1</sub>、…25<sub>2</sub>…n型a-Si膜、26<sub>1</sub>、…26<sub>2</sub>…電極。

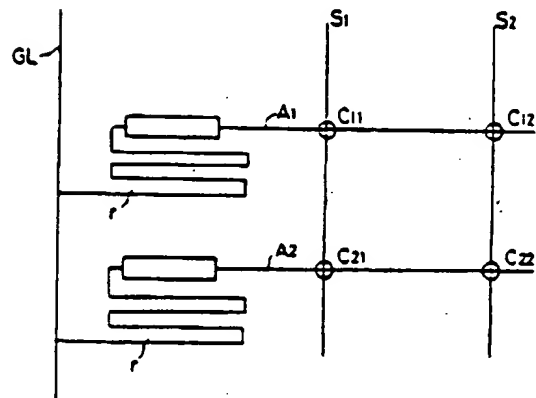
出願人代理人 弁理士 鈴江武彦



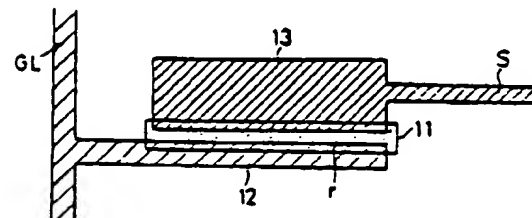
第 1 図



第 2 図

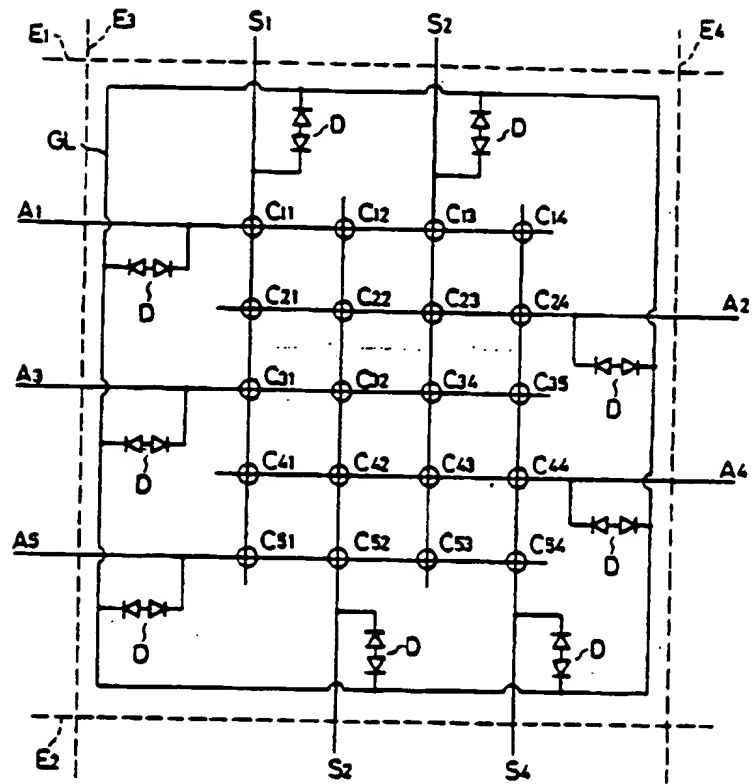


第 3 図

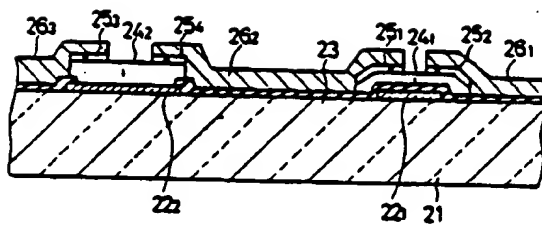


第 4 図

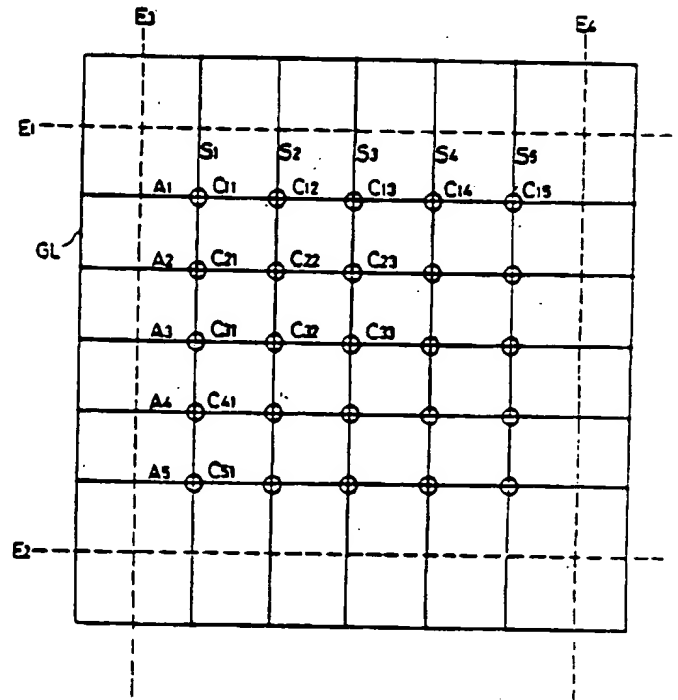
特開昭63-85586 (5)



第 5 図

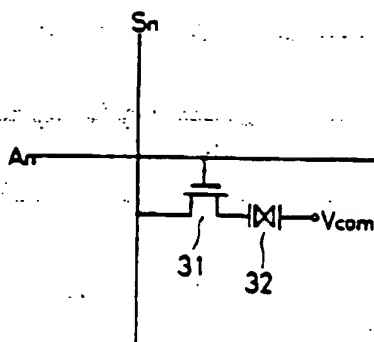


第 6 図



第 7 図

特開昭63-85586 (8)



第 8 図